

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2001 DERWENT INFO LTD. All rts. reserv.

008796591 **Image available**

WPI Acc No: 1991-300605/199141

XRAM Acc No: C91-130501

XRPX Acc No: N91-230162

Mfr. of thin film FET - forms source and drain regions by masking,
doping, and laser annealing semiconductor layer on insulator substrate

NoAbstract Dwg 1a-e/2

Patent Assignee: CASIO COMPUTER CO LTD (CASK)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 3201538	A	19910903	JP 89343584	A	19891228	199141 B

Priority Applications (No Type Date): JP 89343584 A 19891228

Title Terms: MANUFACTURE; THIN; FILM; FET; FORM; SOURCE; DRAIN; REGION;
MASK; DOPE; LASER; ANNEAL; SEMICONDUCTOR; LAYER; INSULATE;
SUBSTRATE; NOABSTRACT

Derwent Class: L03; U11; U12

International Patent Class (Additional): H01L-021/33; H01L-029/78

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

03538638 **Image available**

MANUFACTURE OF THIN FILM TRANSISTOR

PUB. NO.: **03-201538** [JP 3201538 A]

PUBLISHED: September 03, 1991 (19910903)

INVENTOR(s): WAKAI HARUO

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 01-343584 [JP 89343584]

FILED: December 28, 1989 (19891228)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:R002 (LASERS); R004 (PLASMA); R097 (ELECTRONIC MATERIALS
-- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1138, Vol. 15, No. 465, Pg. 66,
November 26, 1991 (19911126)

ABSTRACT

PURPOSE: To manufacture a transistor with a semiconductor layer made into an extremely thin film without using ion implantation by forming a doping mask on a channel of the semiconductor layer, and forming a source region and a drain region by means of plasma doping and laser annealing.

CONSTITUTION: An extremely thin semiconductor film 12 which comprises i-Si and whose thickness is for example 100 angstrom is deposited on a glass substrate 11. An insulating layer made of silicon nitride is deposited and patterned to form a doping mask 13. With the mask 13 used as a mask the layer 12 is plasma-doped by dopant plasma 14 to implant phosphorus or boron into the layer 12 except a masked part. XeCl excimer laser is laser-annealed by a laser beam 15 to make parts other than the masked part u(sup +)-regions 16, 17. Therefore a semiconductor layer 17 can be made thinner by more than a 1/10 factor for example from approximately 1500 angstrom to 100 angstrom.

⑨ 日本国特許庁(JP) ⑩ 特許出願公開
⑪ 公開特許公報(A) 平3-201538

⑫ Int. Cl.³

H 01 L 21/336
29/784

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)9月3日

9056-5F H 01 L 29/78 3 1 1 P

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 薄膜トランジスタの製造方法

⑮ 特 願 平1-343584

⑯ 出 願 平1(1989)12月28日

⑰ 発 明 者 若 井 晴 夫 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑱ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタの製造方法

2. 特許請求の範囲

絶縁基板上に半導体層を形成する工程と、前記半導体層のチャネル部にドーピングマスクを形成し、前記半導体層にプラズマドーピング及びレーザアニールによりソース領域およびドレイン領域を形成する工程と、前記ドーピングマスクを除去してからゲート絶縁層およびソース、ドレイン、ゲート電極を形成する工程とからなることを特徴とする薄膜トランジスタの製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、薄膜トランジスタの製造方法に係り、特にコプラナー型薄膜トランジスタ(TFT:Thin Film Transistor)の製造方法に関する。

〔従来の技術〕

液晶テレビ等に使用される液晶表示装置として

は、単純マトリクス型がある。しかし、高コントラスト及び高時分割駆動を実現するには、単純マトリクス型では限界がある。そこで、走査電極と信号電極のマトリクス交点部の各画素ごとにスイッチ素子と必要に応じてキャパシタ素子を付加・集積し、コントラストやレスポンスなどの表示性能の向上を図るようにしたアクティブマトリクス型が用いられるようになってきている。特に、3端子のスイッチ素子の中でも薄膜トランジスタ

(以下、適宜TFTと略記する)を用いたものは低電圧で動作可能であり、C-MOS ICとの適合性が優れていること、また周辺回路を同一の基板上に組み込める可能性があることなどから、将来バリスタやMIMなどの2端子の非線形素子をしのぎ主流になると考えられている。また、TFTの半導体材料も以前はCdSeのみであったが、アモルファスシリコン(a-Si)、ポリシリコン(p-Si)などの材料も用いられるようになってきている。p-Si形TFTでは応答の速いスイッチング特性が得られるとともに、駆動回路

素子などの周辺回路をTFTマトリクス基板面に一体集積化することが容易であるが、 $a-Si$ 形TFTの場合には、このような周辺回路の一体集積化は困難である。しかし、 $a-Si$ 形TFTの場合には、スイッチOFF時の内部抵抗が高く、暗電流 I_{off} が比較的小さいので、 $p-Si$ 形TFTの場合に一般に必要となる信号電荷を蓄積するためのキャパシタが不要となる利点がある。また、TFTの基本構造にはスタガー型とその積層構造を逆にした逆スタガー型およびコプラナー型とその積層構造を逆にした逆コプラナー型の4つの構造が知られている。

ところで、薄膜トランジスタにおける I_{off} の低減、安定化のためには半導体層の超薄膜化が有効であるという報告がある (THE 21st Conference on solid state Devices and MATERIALS, 1989 予稿集A-6-2 (P97~100) 参照)。

このような薄膜トランジスタのソース、ドレ

インの形成方法としては、イオン注入法を採用するのが一般的である。ところが、イオン注入装置は高価でかつスループットが小さく、大型基板でのデバイス量産には不適である。

そこで、従来のこの種のコプラナー型薄膜トランジスタのソース、ドレインの形成方法として、例えば第2図(A)~(F)に示すように不純物をドーブした堆積層を用いる方法が知られている。第2図(A)において、1はガラス基板であり、ガラス基板1上に先ず、CVD法等により活性層となるノンドープアモルファスシリコン($i-Si$) 1からなり膜厚が例えば1500Åの半導体層2を堆積する。次いで、第2図(B)に示すように半導体層2上にスパッタ法等によりリン(P)又は砒素(As)をドーピングした n^+ アモルファスシリコン(n^+a-Si) 3を成膜し、フォトリソグラフィを用いたパターニング方法によって、ソース、ドレインの n^+ 領域4、5を形成する(第2図(C)参照)。

次いで、第2図(D)に示すようにエキシマレ

ーザ(発光波長 $\lambda=308nm$)を用いたレーザービーム6によるレーザーアニールによってアモルファスシリコン($a-Si$)からなる半導体層2をポリシリコン($p-Si$)化させる。ポリシリコン化させることにより電界効果電子移動度 μ を高め、応答速度の速いスイッチング特性を得ることが出来る。

次いで、第2図(E)に示すように、例えばプラズマCVD法により窒化シリコン($SiNx$)からなるゲート絶縁層7を堆積し、パターニングする。

次いで、第2図(F)に示すようにスパッタ法により、例えばAlからなる導体層を堆積し、パターニングしてソース電極8、ドレイン電極9およびゲート電極10を形成して完成する。

【発明が解決しようとする課題】

しかしながら、このような従来の薄膜トランジスタにあっては、ソース、ドレインの n^+ 領域4、5を形成する際、下地である $i-Si$ 半導体層2との加工選択比がとれないために半導体層2の超

薄膜化は事実上不可能となっており、従ってイオン注入法を用いずに半導体層を超薄膜化したコプラナー型薄膜トランジスタを製造するのは困難なのが現状である。

すなわち、半導体層2となるポリシリコンは一般にバルクの抵抗が低く、導電率が高いという特性があり、電流を流したときには問題がないものの、電流を流したくないときであってもリーク電流が流れてしまう。このようなリーク電流が増加すると液晶表示装置に用いた場合はフリッカが多くなり、また消費電力も増大することとなる。従って、リーク電流を抑える特性を高めるために半導体層2をできるだけ薄くする必要があるが、従来の構造のものでは半導体層2と n^+ 領域4、5とは不純物(P又はAs等)がドーブされているかないかの差のみであって材質はほとんど同じである。従って、製造時において、 n^+ 領域4、5をパターニング加工するとき(第2図(C)参照)に半導体層2もある程度削られる(オーバーエッチ)ことになる。この場合、 n^+ 領域4、5が

確実にパターニングされないと即リークしてしまうことから半導体層2の膜厚を予め厚くする必要がある。

以上のようなことからコプラナー型TFTの半導体層2の超薄膜化の実現は困難であり、イオン注入法を用いずに半導体層を超薄膜化することが可能な薄膜トランジスタが要望される。

本発明の目的は、イオン注入法を用いることなく半導体層を超薄膜化した薄膜トランジスタの製造方法を提供することにある。

【課題を解決するための手段】

本発明による薄膜トランジスタの製造方法は、絶縁基板上に活性層となる半導体層を形成する工程と、前記半導体層のチャネル部にドーピングマスクを形成し、前記半導体層にプラズマドーピング及びレーザアニールによりソース領域およびドレイン領域を形成する工程と、前記ドーピングマスクを除去してからゲート絶縁層およびソース、ドレイン、ゲート電極を形成する工程とからなるものである。

に、例えばプラズマCVD法により窒化シリコン(SiNx)からなる絶縁層を堆積し、パターニングしてドーピングマスク13を形成する。

次いで、第1図(C)に示すようにドーピングマスク13をマスクとして半導体層12をドーパントプラズマ14によりプラズマドーピングする。ここで、プラズマドーピングは、例えばH₂、稀釈のPH₃、又はB₂H₆のプラズマ放電中に晒すことによって行なわれ、これによってマスクングされたところ以外の半導体層12にリン(P)又はボロン(B)が打ち込まれる。

次いで、第1図(D)に示すようにXeClエキシマレーザ($\lambda=308\text{nm}$)をレーザビーム15によるレーザアニールによってマスクングされたところ以外がソース、ドレインのn⁺領域16、17となる。

次いで、第1図(E)に示すようにドーピングマスク13を除去し、その後、第1図(F)に示すように、例えばプラズマCVD法により窒化シリコン(SiNx)からなるゲート絶縁層18を

【作用】

上記した手段によれば、ソース領域およびドレイン領域を形成する際にエッチング工程を用いないので半導体層がオーバーエッチされるようなことがなく、オーバーエッチを考慮して予め膜厚を厚くしておく必要がない。また、ソース、ドレイン領域の形成をプラズマドーピング、レーザアニールで行なっているため、高価でかつスループットが小さいイオン注入法を用いることなく半導体層を超薄膜化させることができ、トランジスタ特性の向上を図るという上記目的を達成することができる。

【実施例】

以下、本発明を図面に基づいて説明する。

第1図には本発明に係るコプラナー型薄膜トランジスタの製造方法の一実施例が示されている。

この実施例では、ガラス基板11上に先ずCV D法等により1-51からなり膜厚が例えば100Åの超薄膜の半導体層12を堆積する(第1図(A)参照)。次いで、第1図(B)に示すよう

に堆積し、パターニングする。

次いで、第1図(G)に示すようにスパッタ法により、例えばA1からなる導体層を堆積し、パターニングしてソース電極19、ドレイン電極20およびゲート電極21形成して完成する。

上記第1図(B)、(E)および(F)の各工程のSiNxのパターニングを沸騰系ウェットエッチャントで行なえば、下地半導体層12との選択比は十分とることができる。

以上説明したように、本実施例では半導体層12をドーピングマスク13でマスクし、プラズマドーピングにより不純物を打ち込んで、その後レーザアニールするとマスクングされたところ以外がn⁺領域16、17となる。従って、従来のものと比べて半導体層17を約1500Åから100Å程度に一桁以上薄くすることが可能になり、イオン注入法を用いることなく半導体層を超薄膜化させたコプラナー型薄膜トランジスタを製造することができる。

なお、上記実施例における半導体層12や絶縁

層18、ゲート電極21等の材質は一例であって、各々同一もしくは類似の性質を有する他の材料を用いることができることはいうまでもない。

【発明の効果】

この発明は、ソース、ドレイン領域をプラズマドーピング後、レーザーアニールによって形成しているの、オーバーエッチに備えて予め膜厚を厚くしておく必要がなくなり半導体層を超薄膜化することができ、 I_{off} の低減、安定化を図ってコプラナー型薄膜トランジスタの特性を向上させることができるという効果を有する。また、イオン注入法を用いずに実現できることからコストやスループットの向上を図ることができ、大型基板の量産にも有利なものとなる。

4. 図面の簡単な説明

第1図(A)～(G)は本発明に係るコプラナー型薄膜トランジスタの製造方法の一実施例を工程順に示す断面図、

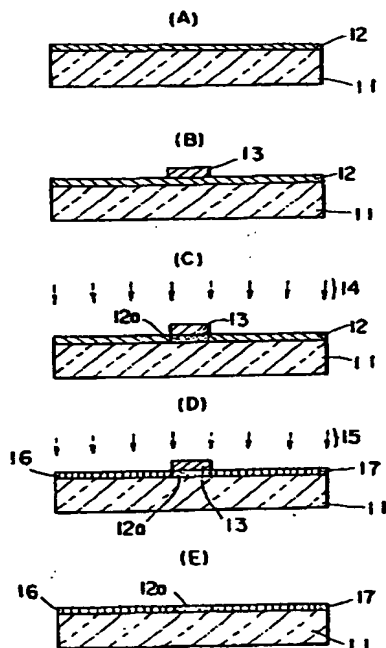
第2図(A)～(F)は従来のコプラナー型薄膜トランジスタの製造方法の一実施例を工程順に

示す断面図である。

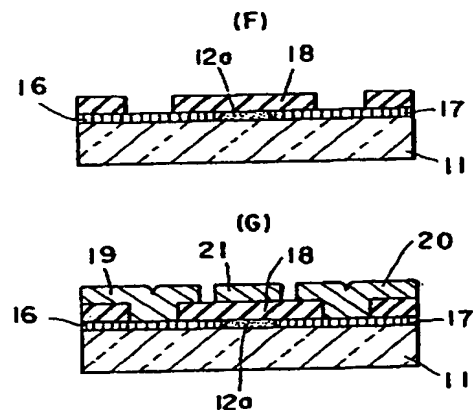
11……ガラス基板、12……半導体層、12a……チャネル部、13……ドーピングマスク、14……ドーパントプラズマ、15……レーザービーム、16、17…… n^+ 領域、18……ゲート絶縁層、19……ソース電極、20……ドレイン電極、21……ゲート電極。

特許出願人 カシオ計算機株式会社

第 1 図



第 1 図



第 2 図

